

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036849

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H04L 7/027

H03K 5/00

H04L 7/00

(21)Application number : 07-184447

(71)Applicant : HITACHI LTD
NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 20.07.1995

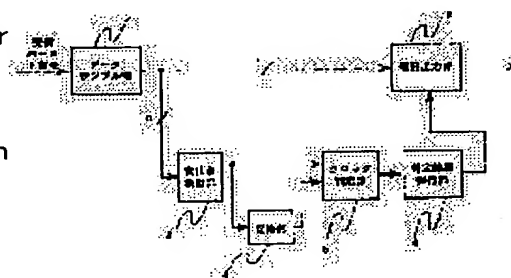
(72)Inventor : IWAMURA ATSUSHI
ASHI MASAHIRO
AKIWA TADASHI
OKUMURA YASUYUKI

(54) BIT SYNCHRONIZATION CIRCUIT/SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To enable the high speed transmission of an optical burst signal to make resistance to duty fluctuation high and to be synchronized with a reception burst signal in a short period.

SOLUTION: This circuit is provided with a data sampling part 1 for sampling an input signal and generating signals of n-systems and a selection output part 2 for selecting the signal synchronized with the reception burst input signal among the sampled n-system signals. There are also provided with a change point detection part 3 detecting the rising/trailing change points of the signal from the data sampling part 1, a holding part 4 holding a change point detection result, a clock judgement part 5 judging the signal which the selection output part 2 is to select, based on either output result in the change point detection part 3 or the holding part 4 or the both results, and a judgement result holding part 6 holding the output result of the clock judgement part 5 for prescribed timing.



LEGAL STATUS

[Date of request for examination]

24.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3355261

[Date of registration]

27.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The data sample section which samples a reception burst input signal and is outputted as a signal of n sequence (however, n two or more integers), In the bit synchronization circuit equipped with the selection output section which chooses and outputs the signal which synchronized with the reception burst input signal out of the signal of n sequence sampled by said data sample section The changing point detecting element which detects the changing point of each standup of the signal of n sequence sampled by said data sample section, and the changing point of falling, The attaching part to which only a certain timing holds the detection result detected by said changing point detecting element, The clock judging section which judges the signal which said selection output section should choose based on one of the outputs from said changing point detecting element and said attaching part, or both, The bit synchronization circuit characterized by having the judgment result attaching part to which only a certain timing holds the output of said clock judging section.

[Claim 2] Said data sample section be a bit synchronization circuit according to claim 1 characterize by have a sampling means to generate the polyphase clock which consist of two or more n sequences from which a phase differ mutually , to sample a reception burst input signal using this polyphase clock , and to output as a signal of n sequence , and be constitute .

[Claim 3] Said changing point detecting element is a bit synchronization circuit according to claim 1 or 2 characterized by having a judgment processing means to detect the changing point and the point changing [falling] of a standup of a receiving burst signal which were sampled, and to judge the phase location of the changing point for every same time period as the data period of a receiving burst signal, and the number of changing points, and being constituted.

[Claim 4] Said attaching part is a bit synchronization circuit according to claim 1, 2, or 3 characterized by having a maintenance processing means to hold the change check appearance result from a changing point detecting element by one period of the same time period as the data period of a receiving burst signal, and being constituted.

[Claim 5] Said clock judging section is based on the phase location of the changing point of the receiving burst signal transmitted from either a changing point detecting element or an attaching part and both. The receiving burst signal sampled in the phase location nearest to the standup of a receiving burst signal, and the cadaveric position phase of two changing points of falling. It is [claim 1 characterized by having a judgment processing means to judge with the signal which the selection output section should choose, and being constituted thru/or] the bit synchronization circuit of any 1 publication among 4.

[Claim 6] The phase location of the changing point of the standup of the receiving burst signal in the time period as the data period of the receiving burst signal outputted from a changing point detecting element with said same clock judging section, or the changing point of falling, and the number of changing points, The phase location of the changing point from a changing point detecting element and number which were held in said attaching part by one period of the same time period as the data period of a receiving burst signal, It is [claim 1 characterized by having a judgment processing means to judge the signal which the selection output section should choose, and being constituted based on either or both thru/or] the bit synchronization circuit of any 1 publication among 4.

[Claim 7] The number of the changing point of the standup of the receiving burst signal in the time period as the data period of the receiving burst signal outputted from a changing point detecting element

with said same clock judging section or the changing points of falling is 1. When the number of the changing points from the changing point detecting element held in said attaching part by one period of the same time period as the data period of a receiving burst signal is 0, The receiving burst signal sampled in the phase location nearest to the phase which shifted only a certain fixed timing to the phase location of the changing point outputted from said changing point detecting element It is [claim 1 characterized by having a judgment processing means to judge with the signal which the selection output section should choose, and being constituted thru/or] the bit synchronization circuit of any 1 publication among 4.

[Claim 8] The number of the changing point of the standup of the receiving burst signal in the time period as the data period of the receiving burst signal outputted from a changing point detecting element with said same clock judging section or the changing points of falling is 1. The phase location of the changing point outputted from said changing point detecting element when the number of the changing points from the changing point detecting element held in said attaching part by one period of the same time period as the data period of a receiving burst signal was 1, It is [claim 1 characterized by having a judgment processing means to judge the receiving burst signal sampled in the cadaveric position phase location with the phase location of the changing point outputted from said attaching part to be the signal which the selection output section should choose, and being constituted thru/or] the bit synchronization circuit of any 1 publication among 4.

[Claim 9] The number of the changing point of the standup of the receiving burst signal in the time period as the data period of the receiving burst signal outputted from a changing point detecting element with said same clock judging section or the changing points of falling is 1. The phase location of the changing point outputted from said changing point detecting element when the number of the changing points from the changing point detecting element held in said attaching part by one period of the same time period as the data period of a receiving burst signal was 2, The receiving burst signal sampled in the cadaveric position phase location with the phase location of the trailing edge of the two changing points outputted from said attaching part It is [claim 1 characterized by having a judgment processing means to judge with the signal which the selection output section should choose, and being constituted thru/or] the bit synchronization circuit of any 1 publication among 4.

[Claim 10] When the number of the changing point of the standup of the receiving burst signal in the time period as the data period of the receiving burst signal outputted from a changing point detecting element with said same clock judging section or the changing points of falling is 2, The receiving burst signal sampled in the cadaveric position phase location of the phase location of two changing points outputted from said changing point detecting element It is [claim 1 characterized by having a judgment processing means to judge with the signal which the selection output section should choose, and being constituted thru/or] the bit synchronization circuit of any 1 publication among 4.

[Claim 11] said judgment result attaching part be [the claim 1 characterize by have a maintenance means to by which only a certain timing hold the judgment result in the clock judging section determined until now ; and be constitute in a change point detecting element when the change point of the standup of the receiving burst signal in the same time period as the data period of a receiving burst signal or the change point of falling be detect thru/or] the bit synchronization circuit of any 1 publication among 10 .

[Claim 12] It is [claim 1 characterized by having further the equalization means which equalizes the information from said judgment result attaching part within a certain time amount, and is made into the selection information of the selection output section thru/or] the bit synchronization circuit of any 1 publication among 11.

[Claim 13] In the bit synchronization method which chooses and outputs the signal which sampled the reception burst input signal, considered as the signal of n sequence (however, n two or more integers), and synchronized with the reception burst input signal out of the signal of the sampled n sequence The changing point of the standup of the sampled receiving burst signal and the changing point of falling are detected. Only a certain timing delays the change check appearance result. Said sampled receiving burst signal stands. A top The signal which synchronized with the reception burst input signal out of said sampled signal based on one of the detection results of the changing point that only the detection result

and said a certain timing of the changing point of ** and the changing point of falling were delayed, or both is judged. The bit synchronization method characterized by only a certain timing holding the judgment result.

[Claim 14] The bit synchronization method according to claim 13 characterized by including the processing which generates the polyphase clock which consists of two or more sequence from which a phase differs mutually, samples a reception burst input signal using this polyphase clock, and is outputted as a signal of n sequence.

[Claim 15] The bit synchronization method according to claim 13 or 14 characterized by including the processing which detects the standup and the point changing [falling] of a receiving burst signal by which the polyphase sampling was carried out, and judges the phase location of the changing point for every same time period as the data period of a receiving burst signal, and the number of changing points.

[Claim 16] The bit synchronization method according to claim 13, 14, or 15 characterized by including the processing which holds the detection result of having detected the standup and the point changing [falling] of a receiving burst signal which were sampled, by one period of the same time period as the data period of a receiving burst signal.

[Claim 17] It is the bit synchronization method of any 1 publication among claim 13 characterized by including the judgment processing which judges the receiving burst signal sampled in the cadaveric position phase location of the standup of a receiving burst signal, and two changing points of falling to be the signal which synchronized with the reception burst input signal based on the phase location of the changing point of a receiving burst signal thru/or claim 16.

[Claim 18] The phase location of the standup of the receiving burst signal in the same time period as the data period of a receiving burst signal, or the point changing [falling], and the number of changing points, By one period of the same time period as the data period of a receiving burst signal, the phase location of the changing point in the past time period, and a number, It is the bit synchronization method of any 1 publication among claim 13 characterized by including the processing which judges the signal which synchronized with the reception burst input signal out of the sampled signal based on either or both thru/or claim 16.

[Claim 19] The standup of the receiving burst signal in the same time period as the data period of a receiving burst signal or the number of the points changing [falling] by 1 When the number of the changing points in the past time period is 0 by one period of the same time period as the data period of a receiving burst signal, As opposed to the standup of the receiving burst signal in said 1 period, or the phase location of the point changing [falling] It is the bit synchronization method of any 1 publication among claim 13 characterized by including the processing which judges the receiving burst signal sampled in the phase location which shifted only a certain fixed timing to be the signal which synchronized with the reception burst input signal thru/or claim 16.

[Claim 20] The standup of the receiving burst signal in the same time period as the data period of a receiving burst signal or the number of the points changing [falling] by 1 When the number of the changing points in the past time period is 1 by one period of the same time period as the data period of a receiving burst signal, the standup of the receiving burst signal in said 1 period, or the phase location of the point changing [falling], It is the bit synchronization method of any 1 publication among claim 13 characterized by including the processing which judges the receiving burst signal sampled in the cadaveric position phase location with the phase location of the changing point in front of said 1 period to be the signal which synchronized with the reception burst input signal thru/or claim 16.

[Claim 21] The standup of the receiving burst signal in the same time period as the data period of a receiving burst signal or the number of the points changing [falling] by 1 When the number of the changing points in the past time period is 2 by one period of the same time period as the data period of a receiving burst signal, the standup of the receiving burst signal in said 1 period, or the phase location of the point changing [falling], It is [claim 13 characterized by including the processing which judges the receiving burst signal sampled in the cadaveric position phase location with the phase location of the trailing edge of the two changing points in front of said 1 period to be the signal which synchronized with the reception burst input signal thru/or] the bit synchronization method of any 1 publication among

18.

[Claim 22] It is [claim 13 characterized by to include the processing which judges the receiving burst signal sampled in the cadaveric position phase location of the phase location of two changing points in said 1 period to be the signal which synchronized with the reception burst input signal when the standup of the receiving burst signal in the same time period as the data period of a receiving burst signal or the number of the points changing / falling / is 2 thru/or] the bit synchronization method of any 1 publication among 18.

[Claim 23] It is [claim 13 characterized by only a certain timing holding the signal which synchronized with the reception burst input signal determined until now when the standup or the point changing / falling / of a receiving burst signal in the same time period as the data period of a receiving burst signal is not detected thru/or] the bit synchronization method of any 1 publication among 22.

[Claim 24] It is [claim 13 characterized by including the equalization processing which equalizes the information for choosing the signal which synchronized with the receiving burst signal from the receiving burst signals of sampled n sequence within a certain time amount thru/or] the bit synchronization method of any 1 publication among 23.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the bit synchronization circuit and bit synchronization method corresponding to burst transmission which are synchronized with the phase of a burst signal and reproduce a signal, and especially, when receiving the burst signal from a multipoint side by the point side in the lightwave transmission system of point pair multipoint system, it is applied, and it relates to a suitable bit synchronization circuit and a bit synchronization method.

[0002]

[Description of the Prior Art] The bit synchronization method in the lightwave transmission system of point pair multipoint system constituted by connecting one communication device and two or more communication devices through optical distribution apparatus (star coupler) as a conventional technique about the bit synchronization method to a burst transmission signal is learned.

[0003] It is drawing where drawing 9 explains a situation in case the block diagram and drawing 10 which show the example of a configuration of the lightwave transmission system of the point pair multipoint system by such conventional technique receive the information cel from the communication device of plurality [communication device / one], and the bit synchronization method by the conventional technique is hereafter explained with reference to drawing 9 and drawing 10 . As for 100 and 101-1, 101-2, in drawing 9 , a communication device and 102 are star couplers.

[0004] One communication device 100 and two or more communication devices 101-1 to 101-2 are connected through a star coupler 102, and the illustration lightwave transmission system constitutes the lightwave transmission system of point pair multipoint system. When transmitting an information cel to a communication device 100 from one of the communication devices 101-1 to 101-2, in the lightwave

transmission system constituted thus, for the range difference of a communication device 100 and each communication device 101-1 to 101-2 The information cel transmitted to a communication device 100 from each communication device 101-1 to 101-2 is in the condition that phase contrast with optical level and the interior system clock of equipment of a communication device 100 differs, will be transmitted burstily and will reach a communication device 100, respectively.

[0005] Drawing 10 shows the optical level of a burst signal in case the communication device 100 which was mentioned above receives the information cel from a communication device 101-1 to 101-2. As shown in this drawing, the optical level of the burst signal of the information cel from the communication device 101-1 to 101-2 which reaches a communication device 100 comes out, respectively, and is greatly different. Moreover, although not illustrated, as for these burst signals, phase contrast with the interior system clock of equipment of a communication device 100 differs, respectively.

[0006] A communication device 100 performs a bit synchronization, after changing the burst signal which arrived into an electrical signal with light / electric inverter. For the bit synchronization in this communication device 100, the cutting tool for bit synchronizations who consists of 1/0 of alternation signals is prepared near the head of a burst signal. However, if transmission efficiency is taken into consideration, since the cutting tool for bit synchronizations can prepare only about several limited bytes, a communication device 100 needs to perform a bit synchronization within several bytes of section of the cutting tool for bit synchronizations.

[0007] As a conventional technique about the bit synchronization circuit to a burst transmission signal which was mentioned above, the technique indicated in "the bit synchronization circuit corresponding to a burst signal in a PDS light subscriber system" (830 ***** size (autumn) B- 1993) is known.

[0008] this conventional technique — a receiving burst signal — a polyphase —izing — from the changing point of a receiving burst signal — a half — about — the DPLL circuit which carries out retiming only of the ***** in a phase location performs a bit synchronization In addition, with this conventional technique, 60Mbps extent is assumed as a transmission speed.

[0009]

[Problem(s) to be Solved by the Invention] In a system as shown in drawing 9 mentioned above, when performing high-speed transmission (155.52Mbps extent), fluctuation of the duty ratio of input data will become remarkable according to the delay of the flattery nature of the automatic threshold level control in the case of the light / electric conversion of the burst signal received with the communication device 100 etc.

[0010] Drawing 11 is drawing showing relation with the signal discriminated from time amount change of the threshold explaining this.

[0011] In drawing 11 , the threshold signal for the lightwave signal and drawing 11 (b) which drawing 11 (a) received to identify a lightwave signal, and the signal with which drawing 11 (c) was identified with the threshold are shown, and it turns out that the duty ratio of the signal received from this drawing when the temporal response of a threshold was remarkable changes.

[0012] Generally, if it is going to perform high-speed transmission, the ideal location of the retiming in the case of synchronizing for the effects of a jitter, electric distortion, etc. will be limited further. For this reason, when the synchronous system by the PLL circuit mentioned above to the system as shown in drawing 9 mentioned above is applied, it has the trouble that the method which adopts the phase from which only the fixed phase shifted [point / of received data / changing] as an ideal location of retiming like the conventional technique has little proof stress over duty fluctuation which was mentioned above.

[0013] The purpose of this invention solves the trouble of the conventional technique mentioned above, and is to offer the high bit synchronization circuit and bit synchronization method of proof stress to duty fluctuation.

[0014]

[Means for Solving the Problem] The data sample section to which according to this invention said purpose samples a bit synchronization circuit, and makes a reception burst input signal the signal of n sequence (however, n two or more integers) for it, It has the selection output section which chooses and outputs the signal which synchronized with the reception burst input signal out of n sequence signal

sampled in the data sample section. Furthermore, the changing point detecting element which detects each standup and the point changing [falling] of a signal of n sequence sampled in said data sample section, The attaching part to which only a certain timing holds the detection result detected in said changing point detecting element, One of the outputs from said changing point detecting element and said attaching part, or the clock judging section which judges the signal which should be chosen in said selection output section based on both, It is attained by having and constituting the judgment result attaching part to which only a certain timing holds the output of said clock judging section.

[0015] The data sample section can generate the polyphase clock which consists of two or more sequence from which a phase differs mutually, and can include a sampling means to sample a reception burst input signal using this polyphase clock, and to output as a signal of n sequence.

[0016] A changing point detecting element can detect the standup and the point changing [falling] of a receiving burst signal, and can include a judgment processing means to judge the phase location of the changing point for every same time period as a receiving burst signal, and the number of changing points.

[0017] An attaching part can include a maintenance processing means to hold the change check appearance result of a changing point detecting element by one period of the same time period as the data period of a receiving burst signal.

[0018] The clock judging section can include a judgment processing means to judge the receiving burst signal sampled as judgment logic in the cadaveric position phase location of the standup of a receiving burst signal, and two changing points of falling based on the phase location of either a changing point detecting element or an attaching part and the changing point of the receiving burst signal transmitted from both to be the signal which the selection output section should choose.

[0019] The phase location of the standup of the receiving burst signal in the still more nearly same time period as the data period of the receiving burst signal outputted from a changing point detecting element as judgment logic in the clock judging section, or the point changing [falling], and the number of changing points, A judgment processing means to judge the signal which the selection output section should choose based on one of the phase locations of the changing point from a changing point detecting element and numbers which were held in the attaching part by one period of the same time period as the data period of a receiving burst signal, or both can be included. The concrete logic of this judgment processing means is as follows.

[0020] The standup of the receiving burst signal in the same time period as the data period of the receiving burst signal outputted from a changing point detecting element or the number of the points changing [falling] by 1 When the number of the changing points from the changing point detecting element held in the attaching part by one period of the same time period as the data period of a receiving burst signal is 0, The receiving burst signal sampled in the phase location which shifted only a certain fixed timing to the phase location of the changing point outputted from said changing point detecting element is judged to be the signal which the selection output section should choose.

[0021] The standup of the receiving burst signal in the same time period as the data period of the receiving burst signal outputted from a changing point detecting element or the number of the points changing [falling] by 1 The phase location of the changing point outputted from said changing point detecting element when the number of the changing points from the changing point detecting element held in the attaching part by one period of the same time period as the data period of a receiving burst signal was 1, The receiving burst signal sampled in the cadaveric position phase location with the phase location of the changing point outputted from said attaching part is judged to be the signal which the selection output section should choose.

[0022] The standup of the receiving burst signal in the same time period as the data period of the receiving burst signal outputted from a changing point detecting element or the number of the points changing [falling] by 1 The phase location of the changing point outputted from said changing point detecting element when the number of the changing points from the changing point detecting element held in the attaching part by one period of the same time period as the data period of a receiving burst signal was 2, The receiving burst signal sampled in the cadaveric position phase location with the phase location of the trailing edge of the two changing points outputted from said attaching part is judged to

be the signal which the selection output section should choose.

[0023] When the standup of the receiving burst signal in the same time period as the data period of the receiving burst signal outputted from a changing point detecting element or the number of the points changing [falling] is 2, the receiving burst signal sampled in the cadaveric position phase location of the phase location of two changing points outputted from said changing point detecting element is judged to be the signal which the selection output section should choose.

[0024] A judgment result attaching part can be equipped with a maintenance means by which only a certain timing holds the judgment result in the clock judging section determined until now when the standup or the point changing [falling] of a receiving burst signal in the same time period as the data period of a receiving burst signal is not detected.

[0025] Moreover, the information from a judgment result attaching part can be equalized within a certain time amount, and it can consider as the selection information of the selection output section.

[0026]

[Function] Since this invention has judged the signal which the receiving burst signal was sampled, the standup and the point changing [falling] were detected, and the result was delayed, combined the changing point information from the past, and synchronized with the receiving burst signal, it can perform the synchronous judging in consideration of duty fluctuation of a receiving burst signal.

[0027] Moreover, since the polyphase clock which consists of two or more n sequences from which a phase differs mutually as a means to sample a receiving burst signal is generated, a reception burst input signal is sampled using this polyphase clock and they are outputted as a signal of n sequence, it can be adapted for the actuation at the time of a high speed.

[0028] Furthermore, this invention can make the location and the number of the delayed information and the information, i.e., the changing point for past 2 period, before making it delayed the information for the judgment of the signal which synchronized with the receiving burst signal by detecting the number not only of the location of a changing point but the changing points in 1 period as change check appearance information, and delaying those information by one period.

[0029] And since the point which shifted only the fixed value from the point of a signal changing [standup] is not made into a retiming location, but it falls with the point changing [standup] and is made to make the midpoint of both with a changing point into a retiming location, also when duty fluctuation which was mentioned above arises, retiming can always carry out like [in the case of the conventional technique] in the ideal location of retiming as logic which judges the signal which synchronized with the receiving burst signal.

[0030] moreover -- change -- a point -- a number -- having taken into consideration -- reception -- a burst signal -- having synchronized -- a signal -- judging -- logic -- ***** -- the past -- two -- periods -- inside -- change -- a point -- a number -- a case -- having divided -- logic -- using it -- things -- being possible -- becoming .

[0031] drawing 8 -- reception -- a burst signal -- having synchronized -- a signal -- judging -- logic -- explaining -- equipment. -- an internal clock -- reception -- a burst signal -- a phase -- relation -- an example -- being shown -- drawing -- it is -- the following -- this -- drawing -- referring to -- the past -- two -- periods -- inside -- change -- a point -- a number -- a case -- having divided -- logic -- reception -- a burst signal -- having synchronized -- a signal -- judging -- an approach -- explaining . Below, the notation (current change mark and the past change mark) describes and explains the group of the number of the changing points of past 2 period. In drawing 8 , the internal clock of the equipment with which the bit synchronization circuit according [drawing 8 (a)] to this invention is carried, drawing 8 (b) - drawing 8 (f) are the examples of a receiving burst signal.

[0032] It corresponds, when the head of the signal for bit synchronizations is detected with the present period so that it may be shown in the case of (1, 0 (b)) (for example, drawing 8), and let fixed value gap **** be a retiming location from the present changing point.

[0033] It corresponds, when the head of the signal for bit synchronizations is detected with the past period and termination of the signal for bit synchronizations is detected with the present period so that it may be shown in the case of (1, 1 (c)) (for example, drawing 8), or when a receiving burst signal and

the phase contrast of an equipment internal clock are close to 180 degrees, and the midpoint of two changing points in 2 periods is computed, and it considers as a retiming location. Thereby, it can respond to duty fluctuation of a receiving burst signal.

[0034] A receiving burst signal and the phase contrast of an equipment internal clock are equivalent to 0 degree, near and when duty fluctuation is being carried out, they compute the midpoint of the changing point in the trailing edge of a front period, and the present period, and consider as a retiming location so that it may be shown in the case of (1, 2 (d)) (for example, drawing 8). Thereby, it can respond to duty fluctuation of a receiving burst signal.

[0035] As it is shown in drawing 8 (e) when the change mark in the present period are 2 for example, near and when it is carrying out duty fluctuation and two changing points are detected after the pattern of below-mentioned drawing 8 (f), or when a receiving burst signal and the phase contrast of an equipment internal clock detect termination of the signal for bit synchronizations at 0 degree, they are equivalent to it, they compute the midpoint of the point changing [both], and consider as a retiming location. Thereby, it can respond to duty fluctuation of a receiving burst signal.

[0036] As it is shown in drawing 8 (f) when the change mark in the present period are 0 for example, near and when it is carrying out duty fluctuation and a changing point is not detected after the pattern of above-mentioned drawing 8 (e), or when a receiving burst signal and the phase contrast of an equipment internal clock detect termination of the signal for bit synchronizations at 0 degree, they are equivalent to it, they hold an old judgment result, and make it a retiming location. Also in this case, in duty fluctuation, it can respond. Moreover, also when the changing point has disappeared by the bit discernment error etc., it can respond.

[0037] Moreover, by equalizing the information from a judgment result attaching part within a certain time amount, and considering as the selection information of the selection output section, when a changing [detection] point location serves as a suddenly unusual value by a bit discernment error etc., the effectiveness can be eased.

[0038]

[Example] Hereafter, a drawing explains the example of the bit synchronization circuit by this invention, and a bit synchronization method to a detail.

[0039] The timing diagram explaining actuation of the block diagram showing the configuration of the bit synchronization circuit according [drawing 1] to the 1st example of this invention and the bit synchronization circuit which shows drawing 2 to drawing 1 , the block diagram showing the example of a configuration of a changing point detecting element [in / in drawing 3 / drawing 1], the block diagram showing the example of a configuration of the data sample section [in / in drawing 4 / drawing 1], and drawing 5 are the block diagrams showing the example of a configuration of the polyphase clock generation section in drawing 4 . drawing 1 , drawing 3 - drawing 5 -- setting -- 1 -- the data sample section and 2 -- the selection output section and 3 -- a changing point detecting element and 4 -- an attaching part and 5 -- the clock judging section and 6 -- a judgment result attaching part and 20 -- the latch section and 21 -- for the polyphase sample section and 31, as for a shift register and 33-1 to 33-7, the polyphase clock generation section and 32 are [a changing point pulse detecting element and 22 / the changing point encoder section and 30 / the delay section and 34] the dividing sections.

[0040] Out of n sequence signal sampled in the data sample section 1 which samples a reception burst input signal and is made into the signal of n sequence (however, n two or more integers), and the data sample section 1, the bit synchronization circuit shown in drawing 1 is equipped with the selection output section 2 which chooses and outputs the signal which synchronized with the reception burst input signal, and is constituted.

[0041] And the place by which it is characterized [of the example of illustration this invention] It is in a means to judge the signal which synchronized with said reception burst input signal. This judgment means The changing point detecting element 3 which detects each standup and the point changing [falling] of a signal of n sequence sampled by the data sample section 1, One of the outputs from the attaching part 4 to which only a certain timing holds the detection result detected by the changing point detecting element 3, and the changing point detecting element 3 and an attaching part 4, Or it has the

clock judging section 5 which judges the signal which the selection output section 2 should choose based on both, and the judgment result attaching part 6 to which only a certain timing holds the output of the clock judging section 5, and is constituted.

[0042] In addition, in the following explanation, the source resultant pulse number n of the polyphase clock which is the signal of n sequence for a sampling shall be set to $n=8$. Moreover, suppose that it explains to each of the signal of eight sequences sampled in the data sample section 1 by giving a number in order according to the phase location which sampled it if needed. Moreover, suppose that a clock with the same frequency as frequencies of input data, such as a system clock of the equipment which carries the bit synchronization circuit by the example of this invention, is called a master clock.

[0043] The data sample section 1 should just be constituted as shown in drawing 4 (a) or drawing 4 (b). The example of a configuration shown in drawing 4 (a) is constituted by the polyphase sample section 30 and the polyphase clock generation section 31, and samples a receiving burst signal with the polyphase clock generated in the polyphase clock generation section 31.

[0044] If the polyphase clock generation section 31 sets the source resultant pulse number n of a polyphase clock to $n=8$ The reference clock which has the same frequency as an input signal as shown in drawing 5 (a) $= (n-1)$ by the seven delay sections 33-1 to 33-7 What is necessary is to make it delayed from the timing of $1/8$ period ($1/8$ period) to the timing of x seven, respectively, and to just be constituted so that a polyphase clock with the phase contrast of $1/8$ period may be generated. Moreover, as shown in drawing 5 (b), the polyphase clock generation section 31 a high-speed clock with one $n=8$ times the frequency of an input signal [whether 8 dividing is carried out by the dividing section 34 and] Or by carrying out 4 dividing, using as a trigger the point of the high-speed clock which has one $2=4$ times the frequency [$n/2$] of this by the dividing section 34 changing [standup], and carrying out 4 dividing, using the point changing [falling] as a trigger It can constitute so that the polyphase clock of eight phases with the phase contrast of $1/8$ period may be generated.

[0045] Using a shift register 32, with a shift register 32, a receiving burst signal is sampled with a high-speed clock with one $n=8$ times, or times [$n/2=4$ times] the frequency of an input signal of this, and the example of a configuration shown in drawing 4 (b) of the data sample section 1 of a receiving burst signal outputs it as a signal of n sequence.

[0046] The changing point detecting element 3 is constituted by the latch section 20, the changing point outputting section 21, and the changing point encoder section 22 as shown in drawing 3 . Thus, the latch section 20 of the changing point detecting element 3 constituted latches the signal of eight sequences sampled in the data sample section 1 by the master clock. The changing point outputting section 21 outputs L, when the signal of eight latched phases differs from the condition of the signal, i.e., the signal of a front number, latched with the front clock and it is the same as the condition of the signal of H and a front number, and it generates the pulse train of eight phases. Thus, the number of the signal of H condition in the generated pulse train turns into a number corresponding to the phase location where the standup of a receiving burst signal or the changing point of falling exists.

[0047] the number of the pulse from which the changing point encoder section 22 is in H condition for every period of a master clock in the pulse train of eight phases obtained from the changing point outputting section 21 — detecting — further — the inside of it — most — the number (it is henceforth called a number A) of **** — and the number (it is henceforth called a number B) of old watch is detected and outputted most. The number outputted by this is equivalent to what expressed with the unit of the phase contrast of a polyphase clock interphase whether it was [what place] eye a phase in the phase location of the standup of the receiving burst signal in 1 period of a master clock, or the changing point of falling.

[0048] As for an attaching part 4, only the time amount for one period of a master clock holds the output mentioned above from the changing point detecting element 3. Consequently, the result outputted from an attaching part 4 is the number of the changing point outputted from the changing point detecting element 3 before 1 period of a master clock. However, an attaching part 4 holds the time (die length 8 for number +1 period of the location held until now) of the point changing between one period of a master clock not being detected by the changing point detecting element 3.

[0049] The clock judging section 5 computes the number which hits in the middle of two changing points based on either the number of the changing point outputted from the changing point detecting element 3 or the number of the changing point in front of the above-mentioned master clock 1 period outputted from the attaching part 4 and both information. Specifically, the clock judging section 5 computes the number C of the midpoint of said number A and said number B of the changing point outputted from the changing point detecting element 3, when said number A and said number B are not in agreement.

[0050] Moreover, said number A and said number B of the clock judging section 5 correspond. Said number B of the changing point in front of 1 period of the master clock outputted from said number B and attaching part 4 when the changing point was detected in front of 1 period of a master clock (henceforth) When the number C of the midpoint B' is computed, and said number A and said number B are in agreement and the changing point is not detected in front of 1 period of a master clock, as mentioned above since the number B (it is henceforth called B'')+8 of the changing point in front of master clock 2 period is supplied from an attaching part 4 — the (number B''+8) — a midpoint with said number B is computed and this is outputted as a number C.

[0051] The judgment result attaching part 6 holds said number C judged until now, when the changing point outputted from the changing point detecting element 3 is not detected.

[0052] The selection output section 2 chooses and outputs the signal corresponding to the same number as said number C out of the signal of eight sequences sampled by the data sample section 1.

[0053] The timing diagram shown in drawing 2 shows actuation of the 1st example of this invention mentioned above.

[0054] In drawing 2 a master clock and (b) (a) A reception burst input signal, (c0) – (c7) shows said number C as which each input signal with which – (d0) (d7) was sampled in the polyphase clock and data sample section 1, (e1), and (e2) were chosen as by said number A and said number B in the changing point detecting element 3, and (f) was chosen in the selection output section 2, respectively.

[0055] In drawing 2, the period 1 of a master clock, the 1st example of this invention chose the midpoint of said number A and said number B, held the result in a period 1 the period 2, chose the midpoint of a number B and the number B of a period 1 (number B'') the period 3, and has chosen the midpoint of a number B and the number B of a period 3 (number B') the period 4.

[0056] Next, the bit synchronization circuit by the 2nd example of this invention is explained. The 2nd example of this this invention judges a clock judging from the phase location of the changing point of input data, and the number of changing points, it has the block configuration shown in the same drawing 1 as the 1st example of this invention, and the detailed configurations of the changing point detecting element 3, an attaching part 4, and the clock judging section 5 differ.

[0057] Like the changing point detecting element 3 of the 1st example, the changing point detecting element 3 of the 2nd example of this invention detects the number A corresponding to the phase location of a changing point mentioned above, and a number B, and further, it is constituted so that the number of the changing points in 1 period of said master clock may be detected and outputted.

[0058] Moreover, like the attaching part 4 of the 1st example, although only the time amount for one period of said master clock holds the output from the changing point detecting element 3, an attaching part 4 is constituted so that special actuation like [in the case of being the 1st example mentioned above] may not be performed, when a changing point is not detected by the changing point detecting element 3.

[0059] The clock judging section 5 is constituted so that the number which hits in the middle of two changing points based on one of the number of said number A in front of the number of said number A supplied from the changing point detecting element 3, said number B, and changing points and 1 period of said master clock supplied from an attaching part 4, said number B, and changing points or both information may be computed.

[0060] Drawing 6 is drawing explaining the judgment logic in this clock judging section 5, and explains concretely the judgment logic in the clock judging section 5 with reference to this drawing hereafter.

[0061] When the number of the changing points in 1 period of a master clock is 0, said number A in front of 1 period of the master clock currently held is outputted [drawing 6 (a)]. By 1, when the number of

the changing points in front of 1 period of a master clock is 0, the number of the changing points in 1 period of a master clock adds the one half n for one period of a master clock $/ 2 = 4$ to a number A (or the number B), and outputs the judgment number C [drawing 6 (b)]. By 1, when the number of the changing points in front of 1 period of a master clock is 1 and 2, the number of the changing points in 1 period of a master clock computes the midpoint of a number A (or the number B) and the number B in front of 1 period of a master clock (number B'), and outputs this as a judgment number C [drawing 6 (c) and drawing 6 (d)]. When the number of the changing points in 1 period of a master clock is 2, what added 3 to the number A is outputted as a judgment number C [drawing 6 (e)].

[0062] And the judgment result attaching part 6 holds said number C judged until now, when the changing point outputted from the changing point detecting element 3 is not detected like the case of the 1st example of this invention mentioned above. Moreover, the selection output section 2 chooses the signal corresponding to the same number as said number C like the case of the 1st example of this invention from the signals of eight sequences sampled in the data sample section 1.

[0063] Drawing 7 is the block diagram showing the configuration of the bit synchronization circuit by the 3rd example of this invention. In drawing 7, 7 is the integral section and other signs are the same as that of the case of drawing 1.

[0064] The 3rd example of this invention shown in drawing 7 is different from the circuit shown in drawing 1 in the bit synchronization circuit explained by drawing 1 with the point of having given the output of the judgment result attaching part 6 to the selection output section 6 through the integral section 7, and others are constituted like the case of drawing 1.

[0065] In the 3rd example of this invention, the integral section 7 performs the moving average for two periods of a master clock, and is outputting the judgment result supplied from the judgment result attaching part 6 to the selection output section 2. By this equalization, also when a changing [detection] point location serves as a suddenly unusual value by a bit discernment error etc., that abnormality can be eased.

[0066] In addition, the section to average may be a part for 3 [not only two periods of a master clock but] periods, or may be more than it.

[0067]

[Effect of the Invention] Since according to this invention a retiming phase judging is computed using the point of the standup of a receiving burst signal, and falling changing [both] and is performed as explained above, in high-speed transmission, it becomes possible to synchronize in the short section to the receiving burst signal which duty fluctuation produced.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the bit synchronization circuit by the 1st example of this invention.

[Drawing 2] It is a timing diagram explaining actuation of the bit synchronization circuit shown in drawing 1.

[Drawing 3] It is the block diagram showing the example of a configuration of the changing point detecting element in drawing 1 .

[Drawing 4] It is the block diagram showing the example of a configuration of the data sample section in drawing 1 .

[Drawing 5] It is the block diagram showing the example of a configuration of the polyphase clock generation section in drawing 4 .

[Drawing 6] It is drawing explaining the judgment logic of the clock judging section in the 2nd example of this invention.

[Drawing 7] It is the block diagram showing the configuration of the bit synchronization circuit by the 3rd example of this invention.

[Drawing 8] It is drawing showing the phase-related example of the equipment internal clock and receiving burst signal explaining the logic which judges the signal which synchronized with the receiving burst signal.

[Drawing 9] It is the block diagram showing the example of a configuration of the lightwave transmission system of the point pair multipoint system depended for being based on the conventional technique.

[Drawing 10] It is drawing explaining a situation in case one communication device receives the information cel from two or more communication devices.

[Drawing 11] It is drawing explaining relation with the signal discriminated from time amount change of a threshold.

[Description of Notations]

1 Data Sample Section

2 Selection Output Section

3 Changing Point Detecting Element

4 Attaching Part

5 Clock Judging Section

6 Judgment Result Attaching Part

7 Integral Section

20 Latch Section

21 Changing Point Pulse Detecting Element

22 Changing Point Encoder Section

30 Polyphase Sample Section

31 Polyphase Clock Generation Section

32 Shift Register

33-1 to 33-7 Delay section

34 Dividing Section

100 101-1,101-2 Communication device

102 Star Coupler

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36849

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L	7/027		H 0 4 L 7/02	A
H 0 3 K	5/00		7/00	A
H 0 4 L	7/00		H 0 3 K 5/00	G

審査請求 未請求 請求項の数24 O L (全 12 頁)

(21) 出願番号 特願平7-184447

(22) 出願日 平成7年(1995)7月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 岩村 篤

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 芦 賢浩

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(74) 代理人 弁理士 武 顯次郎

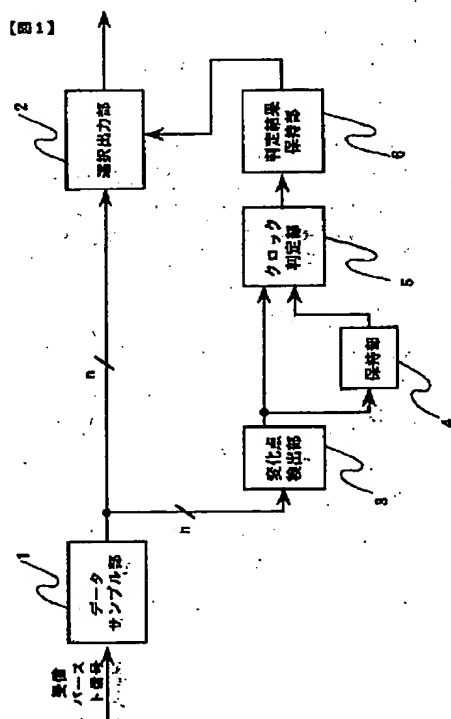
最終頁に続く

(54) 【発明の名称】 ビット同期回路及びビット同期方式

(57) 【要約】

【目的】 光バースト信号の高速伝送において、デューティ変動に対する耐力が高く、受信バースト信号に短い区間で同期可能なビット同期回路及び同期方式。

【構成】 本発明のビット同期回路は、入力信号をサンプリングして n 系列の信号とするデータサンプル部1と、サンプリングされた n 系列信号の中から受信バースト入力信号に同期した信号を選択する選択出力部2とを備え、さらに、データサンプル部1からの信号の立ち上がり及び立ち下がり変化点を検出する変化点検出部3と、変化点検出結果を保持する保持部4と、変化点検出部3及び保持部4からの出力結果のどちらか、あるいは、両方に基づいて選択出力部2が選択すべき信号を判定するクロック判定部5と、クロック判定部5の出力結果をあるタイミングだけ保持する判定結果保持部6とを備えて構成される。



(2)

【特許請求の範囲】

【請求項1】 受信バースト入力信号をサンプリングしてn系列（但し、nは2以上の整数）の信号として出力するデータサンプル部と、前記データサンプル部によりサンプリングされたn系列の信号の中から受信バースト入力信号に同期した信号を選択して出力する選択出力部とを備えたビット同期回路において、前記データサンプル部によりサンプリングされたn系列の信号のそれぞれの立ち上がりの変化点及び立ち下がりの変化点を検出する変化点検出部と、前記変化点検出部により検出された検出結果をあるタイミングだけ保持する保持部と、前記変化点検出部及び前記保持部からの出力結果のどちらか一方あるいは両方に基づいて前記選択出力部が選択すべき信号を判定するクロック判定部と、前記クロック判定部の出力結果をあるタイミングだけ保持する判定結果保持部とを備えることを特徴とするビット同期回路。

【請求項2】 前記データサンプル部は、互いに位相の異なる複数のn系列からなる多相クロックを発生し、この多相クロックを用いて受信バースト入力信号をサンプリングしn系列の信号として出力するサンプリング手段を備えて構成されることを特徴とする請求項1記載のビット同期回路。

【請求項3】 前記変化点検出部は、サンプリングされた受信バースト信号の立ち上がりの変化点及び立ち下がり変化点を検出し、受信バースト信号のデータ周期と同じ時間周期毎の変化点の位相位置及び変化点の数を判定する判定処理手段を備えて構成されることを特徴とする請求項1または2記載のビット同期回路。

【請求項4】 前記保持部は、変化点検出部からの変化点検出結果を受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持する保持処理手段を備えて構成されることを特徴とする請求項1、2または3記載のビット同期回路。

【請求項5】 前記クロック判定部は、変化点検出部及び保持部のどちらかあるいは両方から送信された受信バースト信号の変化点の位相位置に基づき、受信バースト信号の立ち上がり及び立ち下がりの2つの変化点の中間位相に最も近い位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する判定処理手段を備えて構成されることを特徴とする請求項1ないし4のうちのいずれか1記載のビット同期回路。

【請求項6】 前記クロック判定部は、変化点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上がりの変化点または立ち下がりの変化点の位相位置及び変化点の数と、前記保持部において受信バースト信号のデータ周期と同一時間周期の1周期分だけ保持された変化点検出部からの変化点の位相位置及び数との、どちらか一方あるいは両方に基づいて、選択出力部が選択すべき信号を判定する判定処理手段を備えて構成されることを特徴とする請求項

1ないし4のうちのいずれか1記載のビット同期回路。

【請求項7】 前記クロック判定部は、変化点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上がりの変化点または立ち下がりの変化点の数が1で、前記保持部において受信バースト信号のデータ周期と同一時間周期の1周期分だけ保持された変化点検出部からの変化点の数が0の場合、前記変化点検出部から出力された変化点の位相位置に対しある固定タイミングだけずらした位相に最も近い位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する判定処理手段を備えて構成されることを特徴とする請求項1ないし4のうちのいずれか1記載のビット同期回路。

【請求項8】 前記クロック判定部は、変化点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上がりの変化点または立ち下がりの変化点の数が1で、前記保持部において受信バースト信号のデータ周期と同一時間周期の1周期分だけ保持された変化点検出部からの変化点の数が1の場合、前記変化点検出部から出力された変化点の位相位置と、前記保持部から出力された変化点の位相位置との中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する判定処理手段を備えて構成されることを特徴とする請求項1ないし4のうちのいずれか1記載のビット同期回路。

【請求項9】 前記クロック判定部は、変化点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上がりの変化点または立ち下がりの変化点の数が1で、前記保持部において受信バースト信号のデータ周期と同一時間周期の1周期分だけ保持された変化点検出部からの変化点の数が2の場合、前記変化点検出部から出力された変化点の位相位置と、前記保持部から出力された2つの変化点の内の後縁の位相位置との中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する判定処理手段を備えて構成されることを特徴とする請求項1ないし4のうちのいずれか1記載のビット同期回路。

【請求項10】 前記クロック判定部は、変化点検出部から出力される受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上がりの変化点または立ち下がりの変化点の数が2の場合、前記変化点検出部から出力された2つの変化点の位相位置の中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する判定処理手段を備えて構成されることを特徴とする請求項1ないし4のうちのいずれか1記載のビット同期回路。

【請求項11】 前記判定結果保持部は、変化点検出部において、受信バースト信号のデータ周期と同一時間周期内の受信バースト信号の立ち上がりの変化点または立

(3)

3

ち下がりの変化点が検出されない場合、これまでに決定していたクロック判定部での判定結果をあるタイミングだけ保持する保持手段を備えて構成されることを特徴とする請求項1ないし10のうちのいずれか1記載のビット同期回路。

【請求項12】 前記判定結果保持部からの情報のある時間内で平均化し、選択出力部の選択情報とする平均化手段をさらに備えることを特徴とする請求項1ないし11のうちのいずれか1記載のビット同期回路。

【請求項13】 受信バースト入力信号をサンプリングして n 系列(但し、 n は2以上の整数)の信号とし、そのサンプリングされた n 系列の信号の中から受信バースト入力信号に同期した信号を選択して出力するビット同期方式において、サンプリングされた受信バースト信号の立ち上がりの変化点及び立ち下がりの変化点を検出し、その変化点検出結果をあるタイミングだけ遅延させ、前記サンプリングされた受信バースト信号の立ち上がりの変化点及び立ち下がりの変化点の検出結果及び前記あるタイミングだけ遅延された変化点の検出結果のどちらか一方あるいは両方に基づいて前記サンプリングされた信号の中から受信バースト入力信号に同期した信号を判定し、その判定結果をあるタイミングだけ保持することを特徴とするビット同期方式。

【請求項14】 互いに位相の異なる複数 n 系列からなる多相クロックを発生し、この多相クロックを用いて受信バースト入力信号をサンプリングし n 系列の信号として出力する処理を含むことを特徴とする請求項13記載のビット同期方式。

【請求項15】 多相サンプリングされた受信バースト信号の立ち上がり及び立ち下がり変化点を検出し、受信バースト信号のデータ周期と同じ時間周期毎の変化点の位相位置及び変化点の数を判定する処理を含むことを特徴とする請求項13または14記載のビット同期方式。

【請求項16】 サンプリングされた受信バースト信号の立ち上がり及び立ち下がり変化点を検出した検出結果を、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持する処理を含むことを特徴とする請求項13、14または15記載のビット同期方式。

【請求項17】 受信バースト信号の変化点の位相位置に基づいて、受信バースト信号の立ち上がり及び立ち下がりの2つの変化点の中間位相位置でサンプリングされた受信バースト信号を、受信バースト入力信号に同期した信号と判定する判定処理を含むことを特徴とする請求項13ないし請求項16のうちのいずれか1記載のビット同期方式。

【請求項18】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の位相位置及び変化点の数と、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ過去の時間周期内の変化点の位相位置及び数の、どちらか一

4

方、あるいは両方に基づいて、サンプリングされた信号の中から受信バースト入力信号に同期した信号を判定する処理を含むことを特徴とする請求項13ないし請求項16のうちのいずれか1記載のビット同期方式。

【請求項19】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の数が1で、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ過去の時間周期内の変化点の数が0の場合、前記1周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の位相位置に対し、ある固定タイミングだけずらした位相位置でサンプリングされた受信バースト信号を、受信バースト入力信号に同期した信号と判定する処理を含むことを特徴とする請求項13ないし請求項16のうちのいずれか1記載のビット同期方式。

【請求項20】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の数が1で、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ過去の時間周期内の変化点の数が1の場合、前記1周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の位相位置と、前記1周期前の変化点の位相位置との中間位相位置でサンプリングされた受信バースト信号を、受信バースト入力信号に同期した信号と判定する処理を含むことを特徴とする請求項13ないし請求項16のうちのいずれか1記載のビット同期方式。

【請求項21】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の数が1で、受信バースト信号のデータ周期と同じ時間周期の1周期分だけ過去の時間周期内の変化点の数が2の場合、前記1周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の位相位置と、前記1周期前の2つの変化点の内の後縁の位相位置との中間位相位置でサンプリングされた受信バースト信号を、受信バースト入力信号に同期した信号と判定する処理を含むことを特徴とする請求項13ないし18のうちのいずれか1記載のビット同期方式。

【請求項22】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の数が2の場合、前記1周期内の2つの変化点の位相位置の中間位相位置でサンプリングされた受信バースト信号を、受信バースト入力信号に同期した信号と判定する処理を含むことを特徴とする請求項13ないし18のうちのいずれか1記載のビット同期方式。

【請求項23】 受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点が検出されない場合、これまでに決定していた受信バースト入力信号に同期した信号をあるタイミングだけ保持することを特徴とする請求項13ないし22のうちのいずれか1記載のビット同期方式。

(4)

5

【請求項24】 サンプリングされたn系列の受信バースト信号の中から、受信バースト信号に同期した信号を選択するための情報のある時間内で平均化する平均化処理を含むことを特徴とする請求項13ないし23のうちいずれか1記載のビット同期方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、バースト信号の位相に同期させて信号の再生を行うバースト伝送対応ビット同期回路及びビット同期方式に係り、特に、ポイント対マルチポイント方式の光伝送システムにおいて、ポイント側でマルチポイント側からのバースト信号を受信する場合に適用して好適なビット同期回路及びビット同期方式に関する。

【0002】

【従来の技術】バースト伝送信号に対するビット同期方式に関する従来技術として、1台の通信装置と複数の通信装置とを光分配装置（スターカプラ）を介して接続して構成される、ポイント対マルチポイント方式の光伝送システムにおけるビット同期方式が知られている。

【0003】図9はこのような従来技術によるポイント対マルチポイント方式の光伝送システムの構成例を示すブロック図、図10は1つの通信装置が複数の通信装置からの情報セルを受信する場合の状況を説明する図であり、以下、図9、図10を参照して従来技術によるビット同期方式について説明する。図9において、100、101-1、101-2は通信装置、102はスターカプラである。

【0004】図示光伝送システムは、1台の通信装置100と複数の通信装置101-1～101-2とがスターカプラ102を介して接続され、ポイント対マルチポイント方式の光伝送システムを構成している。このように構成される光伝送システムにおいて、通信装置101-1～101-2の1つから通信装置100に情報セルを送信する場合、通信装置100と各通信装置101-1～101-2との距離差のために、各通信装置101-1～101-2から通信装置100に送信される情報セルは、それぞれ、光レベル、及び、通信装置100の装置内部システムクロックとの位相差が異なる状態で、バースト的に伝送されて通信装置100に到着することになる。

【0005】図10は前述したような通信装置100が通信装置101-1～101-2からの情報セルを受信する場合のバースト信号の光レベルを示している。この図から判るように、通信装置100に到着する通信装置101-1～101-2からの情報セルのバースト信号の光レベルがそれぞれで大きく相違している。また、図示していないが、これらのバースト信号は、それぞれ、通信装置100の装置内部システムクロックとの位相差が異なっている。

6

【0006】通信装置100は、到着したバースト信号を光／電気変換装置で電気信号に変換した後ビット同期を行う。この通信装置100におけるビット同期のために、バースト信号の先頭付近には、1/0の交番信号からなるビット同期用バイトが設けられている。しかし、ビット同期用バイトは、伝送効率を考慮すると、限られた数バイト程度しか設けることができないため、通信装置100は、ビット同期を数バイトのビット同期用バイトの区間内に行う必要がある。

【0007】前述したようなバースト伝送信号に対するビット同期回路に関する従来技術として、例えば、「PDS光加入者システムにおけるバースト信号対応ビット同期回路」（信学全大（秋）B-830、1993）に記載された技術が知られている。

【0008】この従来技術は、受信バースト信号を多相化し、受信バースト信号の変化点から半位相ずれた位相位置でリタイミングするDPLL回路によりビット同期を行うというものである。なお、この従来技術では、伝送速度として、60Mbps程度が想定されている。

【0009】

【発明が解決しようとする課題】前述した図9に示すようなシステムにおいて、高速な伝送（155.52Mbps程度）を行なう場合、通信装置100で受信されたバースト信号の光／電気変換の際の自動閾値制御の追従性の遅れ等により、入力データのデューティ比の変動が顕著になってしまう。

【0010】図11はこのことを説明する閾値の時間変化と識別された信号との関係を示す図である。

【0011】図11において、図11(a)は受信した光信号、図11(b)は光信号を識別するための閾値信号、図11(c)は閾値で識別された信号を示しており、この図から閾値の時間的変化が顕著な場合、受信された信号のデューティ比が変化してしまうことが判る。

【0012】一般に、高速な伝送を行おうとすると、ジッタ、電氣的歪等の影響のために、同期を行う場合のリタイミングの理想位置が更に限定される。このため、前述した図9に示すようなシステムに前述したPLL回路による同期方式を適用した場合、従来技術のようなリタイミングの理想位置として、受信データの変化点から固定位相だけずれた位相を採用する方式は、前述したようなデューティ変動に対する耐力が少ないという問題点を有している。

【0013】本発明の目的は、前述した従来技術の問題点を解決し、デューティ変動に対する耐力の高いビット同期回路及びビット同期方式を提供することにある。

【0014】

【課題を解決するための手段】本発明によれば前記目的は、ビット同期回路を、受信バースト入力信号をサンプリングしてn系列（但し、nは2以上の整数）の信号とするデータサンプル部と、データサンプル部でサンプリ

50

(5)

7

ングされたn系列信号の中から受信バースト入力信号に同期した信号を選択して出力する選択出力部とを備え、さらに、前記データサンプル部でサンプリングされたn系列の信号の各々の立ち上がり及び立ち下がり変化点を検出する変化点検出部と、前記変化点検出部にて検出した検出結果をあるタイミングだけ保持する保持部と、前記変化点検出部及び前記保持部からの出力結果のどちらか、あるいは両方に基づいて前記選択出力部にて選択すべき信号を判定するクロック判定部と、前記クロック判定部の出力結果をあるタイミングだけ保持する判定結果保持部とを備えて構成することにより達成される。

【0015】データサンプル部は、互いに位相の異なる複数n系列からなる多相クロックを発生し、この多相クロックを用いて受信バースト入力信号をサンプリングしn系列の信号として出力するサンプリング手段を含むことができる。

【0016】変化点検出部は、受信バースト信号の立ち上がり及び立ち下がり変化点を検出して、受信バースト信号と同じ時間周期毎の変化点の位相位置及び変化点の数を判定する判定処理手段を含むことができる。

【0017】保持部は、変化点検出部の変化点検出結果を受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持する保持処理手段を含むことができる。

【0018】クロック判定部は、判定論理として、変化点検出部及び保持部のどちらか、あるいは両方から送信された受信バースト信号の変化点の位相位置に基づき、受信バースト信号の立ち上がり及び立ち下がりの2つの変化点の中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する判定処理手段を含むことができる。

【0019】クロック判定部における判定論理として、さらに、変化点検出部から出力される受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の位相位置及び変化点の数と、保持部において受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持された変化点検出部からの変化点の位相位置及び数の、どちらか、あるいは両方に基づいて選択出力部が選択すべき信号を判定する判定処理手段を含むことができる。この判定処理手段の具体的論理は以下の通りである。

【0020】変化点検出部から出力される、受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の数が1で、保持部において受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持された変化点検出部からの変化点の数が0の場合、前記変化点検出部から出力された変化点の位相位置に対しある固定タイミングだけずらした位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する。

【0021】変化点検出部から出力される、受信バース

8

ト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の数が1で、保持部において受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持された変化点検出部からの変化点の数が1の場合、前記変化点検出部から出力された変化点の位相位置と、前記保持部から出力された変化点の位相位置との中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する。

10 【0022】変化点検出部から出力される、受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の数が1で、保持部において受信バースト信号のデータ周期と同じ時間周期の1周期分だけ保持された変化点検出部からの変化点の数が2の場合、前記変化点検出部から出力された変化点の位相位置と、前記保持部から出力された2つの変化点の内の後縁の位相位置との中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する。

20 【0023】変化点検出部から出力される、受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点の数が2の場合、前記変化点検出部から出力された2つの変化点の位相位置の中間位相位置でサンプリングされた受信バースト信号を、選択出力部が選択すべき信号と判定する。

【0024】判定結果保持部は、受信バースト信号のデータ周期と同じ時間周期内の受信バースト信号の立ち上がりまたは立ち下がり変化点が検出されない場合、これまでに決定していたクロック判定部での判定結果をある

30 タイミングだけ保持する保持手段を備えることができる。

【0025】また、判定結果保持部からの情報がある時間内で平均化し、選択出力部の選択情報とすることができる。

【0026】

【作用】本発明は、受信バースト信号をサンプリングして立ち上がり及び立ち下がり変化点を検出し、その結果を遅延させて過去からの変化点情報を併せて受信バースト信号に同期した信号を判定しているので、デューティ変動を考慮した受信バースト信号の同期判定を行うことができる。

40 【0027】また、受信バースト信号をサンプリングする手段として、互いに位相の異なる複数のn系列からなる多相クロックを発生し、この多相クロックを用いて受信バースト入力信号をサンプリングし、それらをn系列の信号として出力しているので、高速時の動作に適應することができる。

【0028】さらに、本発明は、変化点検出情報として変化点の位置のみならず1周期内の変化点の数を検出し、それらの情報を1周期分遅延させることにより、遅

50

(6)

9

延させた情報及び遅延させる前の情報、すなわち、過去2周期分の変化点の位置及び数を受信バースト信号に同期した信号の判定のための情報とすることができる。

【0029】そして、受信バースト信号に同期した信号を判定する論理として、従来技術の場合のように、信号の立ち上がり変化点から固定値だけずらした点をリタイミンギ位置とするのではなく、立ち上がり変化点と立ち下がり変化点との両者の中間点をリタイミンギ位置とるようにしているので、前述したようなデューティ変動が生じた際にも、常にリタイミンギの理想位置でリタイミンギすることができる。

【0030】また、変化点の数も考慮した受信バースト信号に同期した信号を判定する論理として、過去の2周期内の変化点の数で場合分けした論理を使用することが可能となる。

【0031】図8は受信バースト信号に同期した信号を判定する論理を説明する装置内部クロックと受信バースト信号との位相関係の例を示す図であり、以下、この図を参照して、過去の2周期内の変化点の数で場合分けした論理により受信バースト信号に同期した信号を判定する方法を説明する。以下では、過去2周期の変化点の数の組を（現在の変化点数、過去の変化点数）という記号で記述して説明する。図8において、図8（a）は本発明によるビット同期回路が搭載される装置の内部クロック、図8（b）～図8（f）は受信バースト信号の例である。

【0032】（1、0）の場合、例えば、図8（b）に示すように、現在の周期でビット同期用信号の先頭を検出した場合に相当し、現在の変化点から固定値ずれた点をリタイミンギ位置とする。

【0033】（1、1）の場合、例えば、図8（c）に示すように、過去の周期でビット同期用信号の先頭を検出し、現在の周期でビット同期用信号の終了を検出した場合、あるいは、受信バースト信号と装置内部クロックの位相差が180°に近いような場合に相当し、2周期内の2つの変化点の中間点を算出してリタイミンギ位置とする。これにより、受信バースト信号のデューティ変動に対応が可能である。

【0034】（1、2）の場合、例えば、図8（d）に示すように、受信バースト信号と装置内部クロックの位相差が0°に近く、かつ、デューティ変動しているような場合に相当し、前周期の後縁と現在の周期内の変化点の中間点を算出してリタイミンギ位置とする。これにより、受信バースト信号のデューティ変動に対応が可能である。

【0035】現在の周期内の変化点数が2の場合、例えば、図8（e）に示すように、受信バースト信号と装置内部クロックの位相差が0°に近く、かつ、デューティ変動しており、後述の図8（f）のパターンの後で変化点を2つ検出した場合、あるいは、ビット同期用信号の

10

終了を検出したような場合に相当し、両変化点の中間点を算出してリタイミンギ位置とする。これにより、受信バースト信号のデューティ変動に対応が可能である。

【0036】現在周期内の変化点数が0の場合、例えば、図8（f）に示すように、受信バースト信号と装置内部クロックの位相差が0°に近く、かつ、デューティ変動しており、前述の図8（e）のパターンの後で変化点を検出しなかった場合、あるいは、ビット同期用信号の終了を検出したような場合に相当し、これまでの判定結果を保持してそれをリタイミンギ位置とする。この場合にも、デューティ変動の場合に対応することができる。また、ビット識別誤り等により変化点が消失している場合にも対応することができる。

【0037】また、判定結果保持部からの情報のある時間内で平均化し、選択出力部の選択情報とすることにより、ビット識別誤り等により検出変化点位置が突発的に異常な値となる場合にその効果を緩和することができる。

【0038】

【実施例】以下、本発明によるビット同期回路及びビット同期方式の実施例を図面により詳細に説明する。

【0039】図1は本発明の第1の実施例によるビット同期回路の構成を示すブロック図、図2は図1に示すビット同期回路の動作を説明するタイムチャート、図3は図1における変化点検出部の構成例を示すブロック図、図4は図1におけるデータサンプル部の構成例を示すブロック図、図5は図4における多相クロック発生部の構成例を示すブロック図である。図1、図3～図5において、1はデータサンプル部、2は選択出力部、3は変化点検出部、4は保持部、5はクロック判定部、6は判定結果保持部、20はラッチ部、21は変化点パルス検出部、22は変化点エンコード部、30は多相サンプル部、31は多相クロック発生部、32はシフトレジスタ、33-1～33-7は遅延部、34は分周部である。

【0040】図1に示すビット同期回路は、受信バースト入力信号をサンプリングしてn系列（但し、nは2以上の整数）の信号とするデータサンプル部1と、データサンプル部1でサンプリングされたn系列信号の中から受信バースト入力信号に同期した信号を選択して出力する選択出力部2とを備えて構成される。

【0041】そして、図示本発明の実施例の特徴とするところは、前記受信バースト入力信号に同期した信号を判定する手段にあり、この判定手段は、データサンプル部1によりサンプリングされたn系列の信号のそれぞれの立ち上がり及び立ち下がり変化点を検出する変化点検出部3と、変化点検出部3により検出された検出結果をあるタイミングだけ保持する保持部4と、変化点検出部3及び保持部4からの出力結果のどちらか、あるいは、両方に基づいて選択出力部2が選択すべき信号を判定す

(7)

11

るクロック判定部5と、クロック判定部5の出力結果であるタイミングだけ保持する判定結果保持部6とを備えて構成される。

【0042】なお、以下の説明において、サンプリング用の n 系列の信号である多相クロックの相数 n を $n=8$ とするものとする。また、データサンプル部1でサンプリングされた8系列の信号のそれぞれに、必要に応じ、それをサンプリングした位相位置に従って順番に番号を付与して説明を行うこととする。また、本発明の実施例によるビット同期回路を搭載する装置のシステムクロック等の、入力データの周波数と同じ周波数を持つクロックをマスタクロックと呼ぶこととする。

【0043】データサンプル部1は、図4(a)または図4(b)に示すように構成されればよい。図4(a)に示す構成例は、多相サンプル部30と多相クロック発生部31とにより構成され、多相クロック発生部31で発生させた多相クロックで受信バースト信号をサンプリングするものである。

【0044】多相クロック発生部31は、多相クロックの相数 n を $n=8$ とすると、図5(a)に示すように、受信信号と同じ周波数を持つ参照クロックを $(n-1)=7$ 個の遅延部33-1~33-7により、それぞれ $1/8$ 周期のタイミングから $(1/8$ 周期) $\times 7$ のタイミングまで遅延させ、 $1/8$ 周期の位相差を持った多相クロックを生成するように構成されればよい。また、多相クロック発生部31は、図5(b)に示すように、受信信号の $n=8$ 倍の周波数を持つ高速クロックを、分周部34により8分周するか、あるいは、分周部34により $n/2=4$ 倍の周波数を持つ高速クロックの立ち上がり変化点をトリガとして4分周し、また、立ち下がり変化点をトリガとして4分周することにより、 $1/8$ 周期の位相差を持った8相の多相クロックを生成するように構成することができる。

【0045】受信バースト信号のデータサンプル部1の図4(b)に示す構成例は、シフトレジスタ32を用いるもので、シフトレジスタ32により受信バースト信号を受信信号の $n=8$ 倍あるいは $n/2=4$ 倍の周波数を持つ高速クロックでサンプリングし n 系列の信号として出力するものである。

【0046】変化点検出部3は、図3に示すように、ラッチ部20と、変化点パルス送出部21と、変化点エンコード部22とにより構成される。このように構成される変化点検出部3のラッチ部20は、データサンプル部1でサンプリングされた8系列の信号をマスタクロックによりラッチする。変化点パルス送出部21は、ラッチされた8相の信号が、前のクロックでラッチされた信号すなわち前の番号の信号の状態と異なる場合にH、前の番号の信号の状態と同じ場合にLを出力して、8相のパルス列を生成する。このようにして生成されたパルス列におけるH状態の信号の番号は、受信バースト信号の立

12

ち上がりあるいは立ち下がりの変化点が存在する位相位置に対応する番号となる。

【0047】変化点エンコード部22は、マスタクロックの1周期毎に、変化点パルス送出部21から得られる8相のパルス列の中で、H状態となっているパルスの番号を検出し、さらに、その中で最も若番の番号(以降、番号Aと呼ぶ)、及び、最も老番の番号(以降、番号Bと呼ぶ)を検出して出力する。これにより出力される番号は、マスタクロックの1周期内の受信バースト信号の立ち上がりまたは立ち下がりの変化点の位相位置を、多相クロック相間の位相差の単位で何位相目かを表わしたものに相当する。

【0048】保持部4は、変化点検出部3からの前述した出力をマスタクロックの1周期分の時間だけ保持する。この結果、保持部4から出力される結果は、マスタクロックの1周期前に変化点検出部3から出力された変化点の番号である。但し、保持部4は、変化点検出部3でマスタクロックの1周期の間変化点を検出されないとき(これまでに保持していた位置の番号+1周期分の長さ8)を保持する。

【0049】クロック判定部5は、変化点検出部3から出力された変化点の番号、及び、保持部4より出力された上記マスタクロック1周期前の変化点の番号のどちらか、あるいは両方の情報に基づいて、2つの変化点の中間にあたる番号を算出する。具体的には、クロック判定部5は、前記番号Aと前記番号Bとが一致しない場合、変化点検出部3から出力された変化点の前記番号Aと前記番号Bとの中間点の番号Cを算出する。

【0050】また、クロック判定部5は、前記番号A及び前記番号Bが一致し、かつ、マスタクロックの1周期前に変化点検出されている場合、前記番号Bと保持部4より出力されたマスタクロックの1周期前の変化点の前記番号B(以降、B'という)との中間点の番号Cを算出し、前記番号Aと前記番号Bとが一致し、かつ、マスタクロックの1周期前に変化点検出されていない場合、前述したように、保持部4からはマスタクロック2周期前の変化点の番号B''(以降、B''という)+8が供給されるので、その(番号B''+8)と前記番号Bとの中間点を算出してこれを番号Cとして出力する。

【0051】判定結果保持部6は、変化点検出部3から出力された変化点検出されない場合にこれまで判定していた前記番号Cを保持する。

【0052】選択出力部2は、データサンプル部1によりサンプリングされた8系列の信号の中から、前記番号Cと同じ番号に対応する信号を選択して出力する。

【0053】前述した本発明の第1の実施例の動作を示しているのが図2に示すタイムチャートである。

【0054】図2において、(a)はマスタクロック、(b)は受信バースト入力信号、(c0)~(c7)は多相クロック、(d0)~(d7)はデータサンプル部

(8)

13

1でサンプリングされた各入力信号、(e1)、(e2)は変化点検出部3での前記番号A及び前記番号B、(f)は選択出力部2で選択された前記番号Cをそれぞれ示している。

【0055】本発明の第1の実施例は、図2の中で、マスタクロックの周期1では、前記番号Aと前記番号Bの中間点を選択し、周期2では周期1での結果を保持し、周期3では番号Bと周期1の番号B(番号B')との中間点を選択し、周期4では番号Bと周期3の番号B(番号B')との中間点を選択している。

【0056】次に、本発明の第2の実施例によるビット同期回路について説明する。この本発明の第2の実施例は、クロック判定を、入力データの変化点の位相位置及び変化点の数から判定するものであり、本発明の第1実施例と同様の図1に示すブロック構成を持ち、変化点検出部3、保持部4、クロック判定部5の詳細な構成が異なる。

【0057】本発明の第2の実施例の変化点検出部3は、第1実施例の変化点検出部3と同様に、変化点の位相位置に対応する前述した番号A及び番号Bを検出し、さらに、前記マスタクロックの1周期内の変化点の数を検出して出力するように構成される。

【0058】また、保持部4は、第1の実施例の保持部4と同様に、変化点検出部3からの出力を前記マスタクロックの1周期分の時間だけ保持するが、変化点検出部3で変化点を検出されないとき、前述した第1の実施例の場合のような特別な動作を行わないように構成される。

【0059】クロック判定部5は、変化点検出部3から供給される前記番号A、前記番号B、変化点の数、及び、保持部4から供給される前記マスタクロックの1周期前の前記番号A、前記番号B、変化点の数のどちらか、あるいは、両方の情報に基づいて2つの変化点の中間にあたる番号を算出するように構成される。

【0060】図6はこのクロック判定部5における判定論理を説明する図であり、以下、この図を参照して、クロック判定部5における判定論理を具体的に説明する。

【0061】マスタクロックの1周期内の変化点の数が0の場合、保持されているマスタクロックの1周期前の前記番号Aを出力する〔図6(a)〕。マスタクロックの1周期内の変化点の数が1で、マスタクロックの1周期前での変化点の数が0の場合、番号A(あるいは番号B)にマスタクロックの1周期分の半分 $n/2=4$ を足して、判定番号Cを出力する〔図6(b)〕。マスタクロックの1周期内の変化点の数が1で、マスタクロックの1周期前での変化点の数が1及び2の場合、番号A(あるいは番号B)とマスタクロックの1周期前の番号B(番号B')との中間点を算出しこれを判定番号Cとして出力する〔図6(c)、図6(d)〕。マスタクロックの1周期内の変化点の数が2の場合、番号Aに3を

14

足したものを判定番号Cとして出力する〔図6(e)〕。

【0062】そして、判定結果保持部6は、前述した本発明の第1の実施例の場合と同様に、変化点検出部3から出力された変化点を検出されない場合にこれまで判定していた前記番号Cを保持する。また、選択出力部2は、本発明の第1の実施例の場合と同様に、データサンプリング部1でサンプリングされた8系列の信号の中から、前記番号Cと同じ番号に対応する信号を選択する。

10 【0063】図7は本発明の第3の実施例によるビット同期回路の構成を示すブロック図である。図7において、7は積分部であり、他の符号は図1の場合と同一である。

【0064】図7に示す本発明の第3の実施例は、図1により説明したビット同期回路において、判定結果保持部6の出力を積分部7を介して選択出力部6に与えるようにした点で図1に示す回路と相違し、その他は図1の場合と同様に構成されている。

20 【0065】この本発明の第3の実施例において、積分部7は、判定結果保持部6から供給される判定結果をマスタクロックの2周期分の移動平均を行い選択出力部2に出力している。この平均化により、ビット識別誤り等により検出変化点位置が突発的に異常な値となる場合にも、その異常を緩和することができる。

【0066】なお、平均する区間は、マスタクロックの2周期分に限らず3周期分であってもそれ以上であってもよい。

【0067】

30 【発明の効果】以上説明したように本発明によれば、リタイミング位相判定を、受信バースト信号の立ち上がりとし立ち下がりとの両変化点を使用して算出して行っているため、高速な伝送において、デューティ変動が生じた受信バースト信号に対して短い区間で同期を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるビット同期回路の構成を示すブロック図である。

【図2】図1に示すビット同期回路の動作を説明するタイムチャートである。

40 【図3】図1における変化点検出部の構成例を示すブロック図である。

【図4】図1におけるデータサンプル部の構成例を示すブロック図である。

【図5】図4における多相クロック発生部の構成例を示すブロック図である。

【図6】本発明の第2の実施例におけるクロック判定部の判定論理を説明する図である。

【図7】本発明の第3の実施例によるビット同期回路の構成を示すブロック図である。

50 【図8】受信バースト信号に同期した信号を判定する論

(9)

15

理を説明する装置内部クロックと受信バースト信号との位相関係の例を示す図である。

【図9】従来技術によるポイント対マルチポイント方式の光伝送システムの構成例を示すブロック図である。

【図10】1つの通信装置が複数の通信装置からの情報セルを受信する場合の状況を説明する図である。

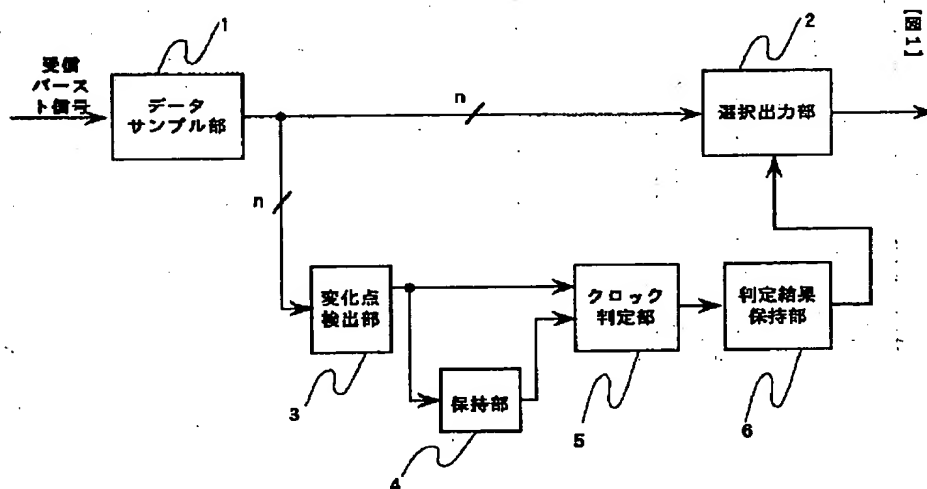
【図11】閾値の時間変化と識別された信号との関係を説明する図である。

【符号の説明】

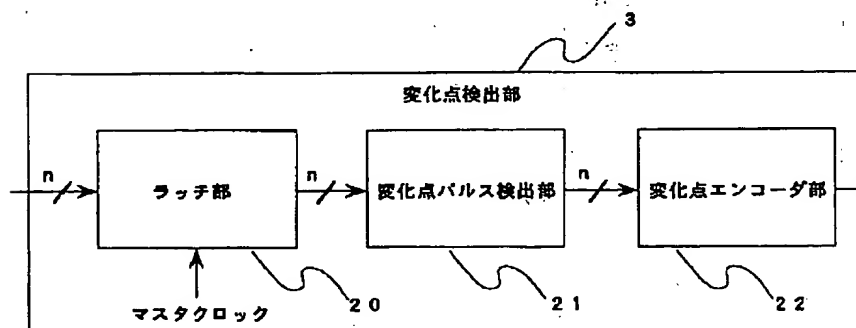
- 1 データサンプル部
- 2 選択出力部
- 3 変化点検出部
- 4 保持部

- 5 クロック判定部
- 6 判定結果保持部
- 7 積分部
- 20 ラッチ部
- 21 変化点パルス検出部
- 22 変化点エンコーダ部
- 30 多相サンプル部
- 31 多相クロック発生部
- 32 シフトレジスタ
- 33-1～33-7 遅延部
- 34 分周部
- 100、101-1、101-2 通信装置
- 102 スターカプラ

【図1】



【図3】

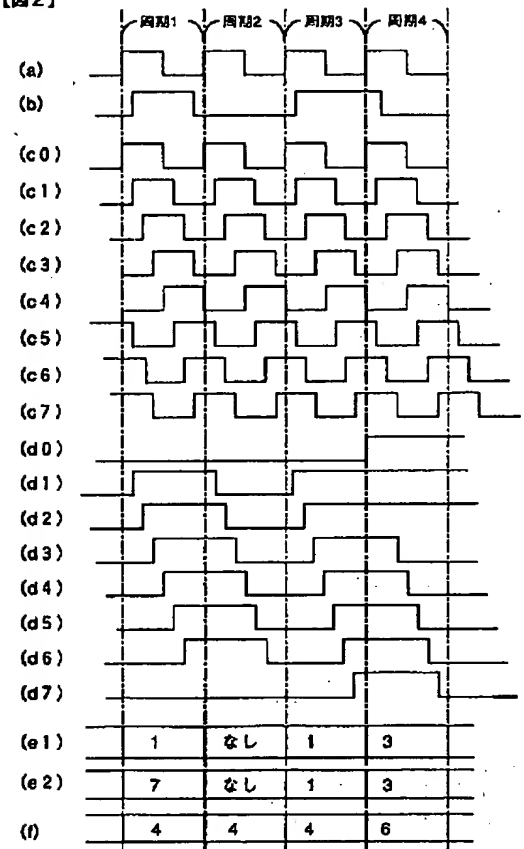


【図3】

(10)

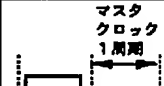

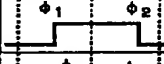


【図2】

【図2】



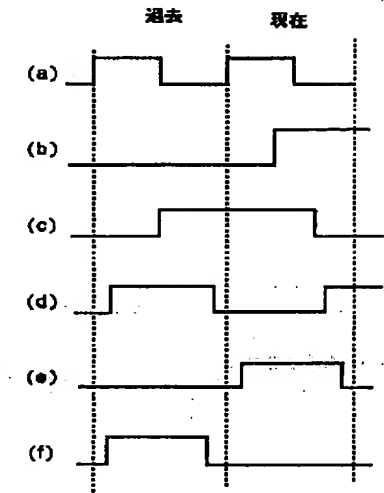
【図6】

【図6】

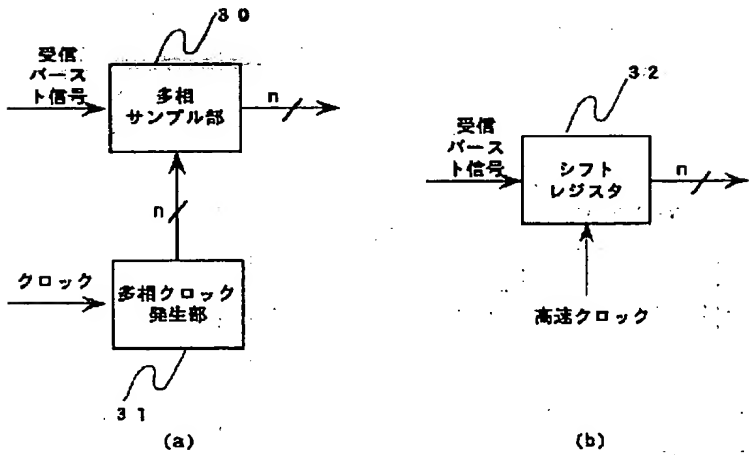
(a)	1周期内 変化点数	1周期前 変化点数	事象例	最適位相
(b)	0	—		前位相保持
(c)	1	0		$\phi + 4$
		1		$(\phi_1 + \phi_2 + 8)/2$
		2		$(\phi_1 + \phi_2 + 8)/2$
(d)	2	—		$\phi + 3$

【図8】

【図8】



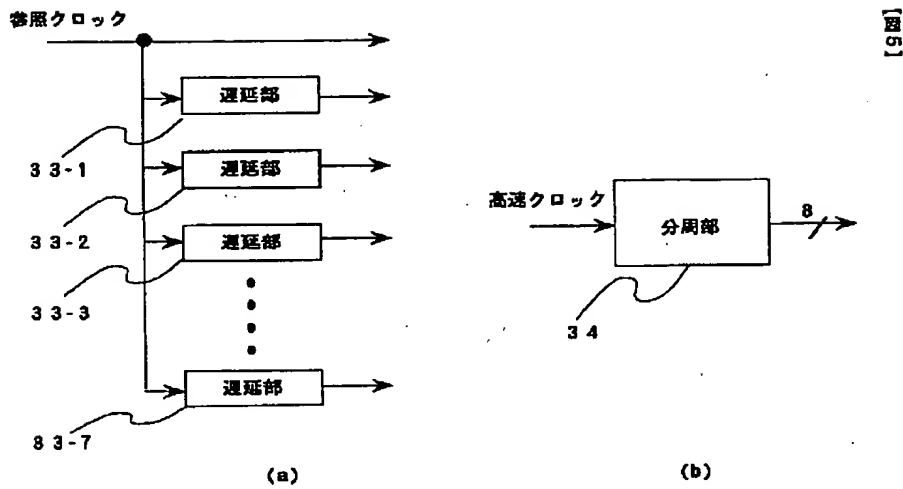
【図4】



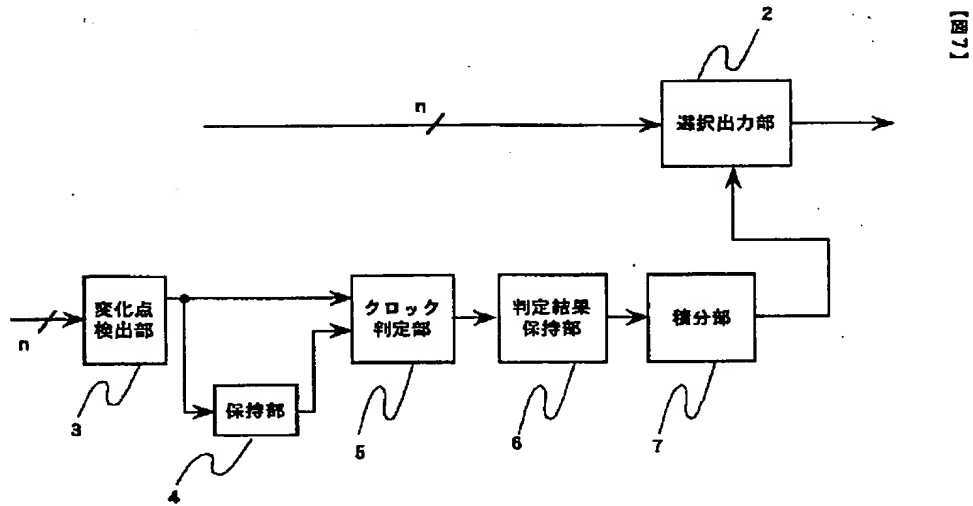
【図4】

(11)

【図5】



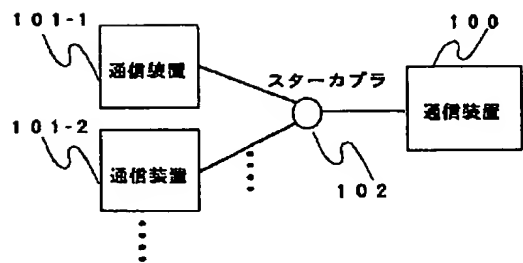
【図7】



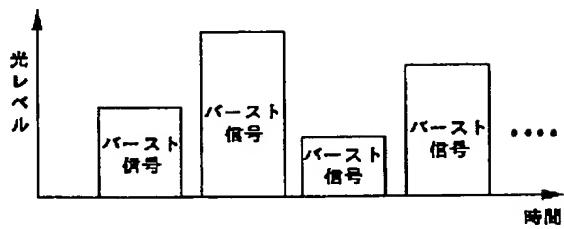
【図9】

【図10】

【図9】



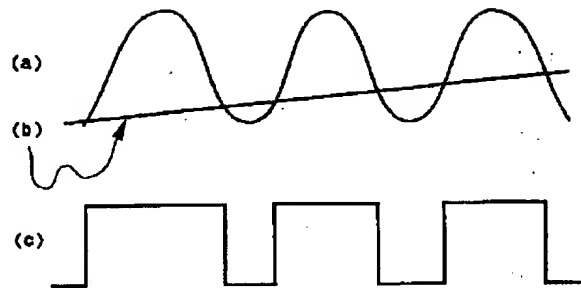
【図10】



(12)

【図11】

【図11】



フロントページの続き

(72)発明者 秋和 忠
東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(72)発明者 奥村 康行
東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内